

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **03115873 A**(43) Date of publication of application: **16.05.91**

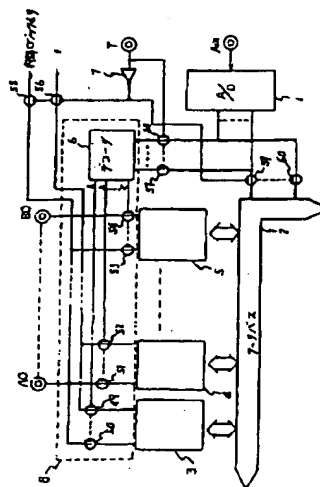
(51) Int. Cl.

G01R 31/28(21) Application number: **01254302**(71) Applicant: **NEC CORP**(22) Date of filing: **28.09.89**(72) Inventor: **YAMASHITA MASAMICHI****(54) SEMICONDUCTOR INTEGRATED CIRCUIT****(57) Abstract:**

PURPOSE: To simply generate a test mode inside IC without increasing the number of pins of the IC by utilizing a signal of a test terminal and an output digital signal of an A/D converter as mode switching signals.

CONSTITUTION: A test terminal T is set in a test state at 'H', gates 57 and 58 are put in continuity, while gates 59 and 60 are put in noncontinuity, and an output signal of an A/D converter for an analog voltage value inputted from an Ain terminal is inputted to a decoder circuit 6 of a multiplexer 8. When an output (a) of this decoder circuit 6 is selected, a function block 3 is specified. When input data for checking up the function block 3 are given to a data bus 2, therefore, the result can be outputted to AO and BO terminals. By changing the output of the decoder 6 by changing a voltage of the Ain terminal of the A/D converter, checkup of other function blocks 4 and 5 can be conducted simply.

COPYRIGHT: (C)1991,JPO&Japio ~



⑩ 日本国特許庁(JP) ⑪ 特許出願公開
⑫ 公開特許公報(A) 平3-115873

⑬ Int. Cl.⁵

識別記号

庁内整理番号

⑭ 公開 平成3年(1991)5月16日

G 01 R 31/28

6912-2C G 01 R 31/28

W

審査請求 未請求 請求項の数 1 (全3頁)

⑮ 発明の名称 半導体集積回路

⑯ 特 願 平1-254302

⑰ 出 願 平1(1989)9月28日

⑱ 発 明 者 山 下 正 道 東京都港区芝5丁目33番1号 日本電気株式会社内

⑲ 出 願 人 日本電気株式会社 東京都港区芝5丁目7番1号

⑳ 代 理 人 弁理士 内 原 晋

明 細 書

1. 発明の名称

半導体集積回路

2. 特許請求の範囲

半導体集積回路をテスト状態にするか動作状態にするかの制御をするテスト信号を入力とするテスト端子と、A/D変換器とを有し、テスト時に前記A/D変換器の出力デジタル信号をテストモード切換信号とすることを特徴とする半導体集積回路。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は、半導体集積回路に関し、特にA/D変換器を有する半導体集積回路に関する。

〔従来の技術〕

従来、この型の半導体集積回路(以下ICとする)のテスト方法は、ICを専用試験装置に接続

しICの複数の入力端子(テスト端子及びデジタル端子)にデータを与えて前記入力端子に与えられたデジタルデータの組合せによりIC各部を動作させその結果をICの出力端子より出力させ検査していた。

〔発明が解決しようとする課題〕

現在、ICの素子集積率の向上は著るしく、多くの機能を1つのICに搭載することが可能となっている。その結果多くの端子数が必要となっている。また、任意の機能ブロックを自由に組み合わせて1つのICに搭載するというような事も可能である。テスト方法としては、各機能ブロック1つずつを単独に測定出来る種テストモードを設定する必要がある。しかしながら、現状のテスト方法ではテストモードを設定するには新たに入力端子を設置しなければならないという欠点がある。

〔課題を解決するための手段〕

本発明は、テスト信号を入力する1つのテスト端子と内蔵されたA/D変換器の出力デジタル

特開平3-115873(2)

信号をテストモード信号として利用する手段を有している。

したがって、本発明によれば、ICのピン数を増大することなしに、IC内部にテストモードを簡単に複数個発生させることができる。

〔実施例〕

次に、本発明について図面を参照して説明する。第1図は、本発明の一実施例のブロック図である。

第1図において入力端子Tはテスト端子である。1は、A/D変換器である。57～60のNchトランスファゲートは、A/D変換器の出力信号をマルチプレクサ8に入力する為の制御回路である。マルチプレクサ8は、デコード回路6と49～54Nchトランスファゲートで構成されている。回路3、4、5は、IC各部の機能ブロックである。出力端子AO～BOは、A/D変換器の出力値で指定された各機能ブロックの結果を出力する為の端子である。各機能ブロックは、データバス2に接続されておりデータの入出力を行っている。

たことになる。データバス2に機能ブロック3をチェックする為の入力データを与えてやれば、その入力データに対する結果をAO、BO端子に出力させることが出来る。出力された結果を専用試験装置でチェックすることにより、機能ブロック3のチェックを行うことが出来る。

同様にして、A/D変換器のAin端子のアナログ入力電圧値を変化させることにより、デコード6の出力を変え他の機能ブロック4、5のチェックを簡単にを行うことが出来る。

〔発明の効果〕

以上説明したように本発明のテスト回路は、テスト端子とA/D変換器の出力デジタル信号をモード切換信号として利用することによりICのピン数を増大することなしにIC内部にテストモードを簡単に発生させることが出来る効果がある。

4. 図面の簡単な説明

第1図は、本発明の一実施例のブロック図であ

テスト端子Tが低電位（以下‘L’とする）のとき、Nchトランスファゲート57、58は非導通で、Nchトランスファゲート59、60は導通の為、Ain端子より入力されたアナログ電圧値に対するA/D変換器の出力デジタル信号はデータバスに出力されマルチプレクサ8には入力されない。また、Nchトランスファゲート55、56が導通なので、出力端子AO、BOには内部ロジックからの信号が出力される。

テスト端子Tが高電位（以下‘H’とする）のときテスト状態となり、Nchトランスファゲート57、58導通でNchトランスファゲート59、60は非導通の為Ain端子より入力されたアナログ電圧値に対するA/D変換器の出力デジタル信号が、マルチプレクサ8に入力され、データバスには出力されない。マルチプレクサ8に入力されたデータは、デコード回路6に入力される。このコード回路は、選択された出力が‘H’で他が‘L’となる。今デコード6の出力aを選択したとすると機能ブロック3が指定され

る。

1……A/D変換器、2……データバス、3～5……テストを行う各機能ブロック、6……デコード回路、7……インバータゲート、8……マルチプレクサ回路、49～60……Nchトランスファゲート、T……テスト端子、Ain……A/D変換器アナログデータ入力端子、AO、BO……出力端子。

代理人 弁理士 内 原 誓

特開平3-115873(3)

